

(19)日本国特許庁 (J P)

(12) 公表特許公報 (A)

(11)特許出願公表番号
特表2001-504279
(P2001-504279A)

(43)公表日 平成13年3月27日 (2001.3.27)

(51)Int.Cl. ⁷	識別記号	F I	テームコード [*] (参考)
H 0 1 L 27/10	4 5 1	H 0 1 L 27/10	4 5 1
21/027		45/00	C
45/00		21/30	5 7 9

審査請求 未請求 予備審査請求 有 (全 29 頁)

(21)出願番号	特願平10-531338	(71)出願人	マイクロン、テクノロジー、インコーポレーテッド
(86) (22)出願日	平成9年10月2日(1997.10.2)		アメリカ合衆国アイダホ州、ボーイズ、サウス、フェデラル、ウェイ、8000
(85)翻訳文提出日	平成11年4月2日(1999.4.2)	(72)発明者	ブレント、ギルジェン
(86)国際出願番号	P C T / U S 9 7 / 1 7 7 1 1		アメリカ合衆国アイダホ州、ボーイズ、マクマレン、ドライブ、7000
(87)国際公開番号	W O 9 8 / 3 6 4 4 6	(74)代理人	弁理士 佐藤 一雄 (外3名)
(87)国際公開日	平成10年8月20日(1998.8.20)		
(31)優先権主張番号	0 8 / 7 2 4 , 8 1 6		
(32)優先日	平成8年10月2日(1996.10.2)		
(33)優先権主張国	米国 (U S)		

最終頁に続く

(54)【発明の名称】 電極間に小面積のコンタクトを製造するための方法

(57)【要約】
カルコゲナイドメモリで使用するための電極構造が開示されている。この電極はほぼ切頭円錐形であり、酸化物パターンの下方のポリシリコン層をアンダーカットエッチングすることによって形成することが好ましい。このような構造では、カルコゲナイド材料を通過する電流密度を改善できる。

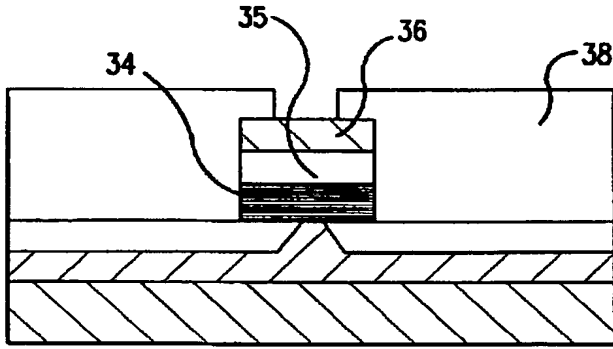


FIG.14

【特許請求の範囲】

1. 基板上に導電層を設ける工程と、
前記導電層の盛り上げられた部分を形成するように前記導電層をパターン化する工程と、
前記盛り上げられた部分を含む前記導電層上に絶縁層を設ける工程と、
前記導電層の前記盛り上げられた部分の一部を露出するように前記絶縁層の一部を選択的に除去する工程と、
を備えた電氣的コンタクトを製造する方法。
2. 前記導電層は、第1の導電層を形成し、
更に、前記導電層の前記盛り上げられた部分の露出部にプログラム可能なレジスト性材料を堆積する工程と、
前記プログラム可能なレジスト性材料に接触する第2導電層を堆積する工程を含む、請求項1記載の方法。
3. 前記プログラム可能なレジスト性材料が、カルコゲナイド材料を含む、請求項2記載の方法。
4. 導電層をパターン化する工程の前に、
前記導電層上に酸化物の層を形成する工程と、
離間した酸化物パターンを形成するように前記酸化物層をパターン化する工程とを更に含む、請求項3記載の方法。
5. 前記導電層をパターン化する工程が、各酸化物パターンよりも下方で前記第1導電層内に盛り上げられた部分が形成されるように、前記第1導電層をエッチングすることを含む、請求項4記載の方法。
6. 絶縁層を設ける工程が、前記盛り上げられた部分と同じ厚みに前記絶縁層を堆積することを含み、本方法が更に、

前記盛り上げられた部分の頂部部分を露出するように前記絶縁層部分を選択的に除去する工程を含む、請求項5記載の方法。
7. 各盛り上げられた部分にカルコゲナイド材料のパターンを形成する工程と、カルコゲナイド材料の各パターンに第2導電層を形成する工程とを更に含む

、請求項6記載の方法。

8. Se、Te、Ge、Sb並びにこれらSe、Te、GeおよびSbのうちの少なくとも2つの組成物から成る群から前記カルコゲナイド材料を選択した、請求項7記載の方法。

9. 前記カルコゲナイド材料がTe、Ge、Sb、 $a-b-c$ の比（ここでa、bおよびcは成分元素の総計が100%となり、 $a \leq 70$ 、 $15 \leq b \leq 50$ となる原子%である）でTe、GeおよびSbを含む、請求項8記載の方法。

10. 第1表面を有する基板と、
前記第1表面に設けられた、盛り上げられた部分を有する導電層と、
前記第1導電層に重なり、前記盛り上げられた部分の一部を露出する絶縁層と、

前記第1導電層の前記盛り上げられた部分の前記露出した部分に接触するように設けられた、プログラム可能なレジスト性材料の層とを含み、前記盛り上げられた部分の前記露出した部分が前記第1導電層の前記盛り上げられた部分の他の部分よりも狭くなっている集積回路。

11. 前記導電層の前記盛り上げられた部分の高さが前記絶縁層の厚みにほぼ等しい、請求項10記載の集積回路。

12. 前記プログラム可能なレジスト性材料がカルコゲナイドを含む、請求項10記載の集積回路。

13. 前記導電層が第1の導電層であり、前記回路がプログラム可能なレジスト性材料の前記層に結合された第2導電層を更に含む、請求項10記載の集積回路。

14. 前記導電層の前記盛り上げられた部分がほぼ切頭円錐形となっている、請求項10記載の集積回路。

15. Se、Te、Ge、Sb並びにこれらSe、Te、GeおよびSbのうちの少なくとも2つの組成物から成る群から前記カルコゲナイド材料を選択した、請求項12記載の集積回路。

16. 前記カルコゲナイド材料がTe、Ge、Sb、 $a-b-c$ の比（ここでa

、bおよびcは成分元素の総計が100%となり、 $a \leq 70$ 、 $15 \leq b \leq 50$ となる原子%である)でTe、GeおよびSbを含む、請求項12記載の集積回路。

17. $40 \leq a \leq 60$ であり、 $17 \leq b \leq 44$ である、請求項16記載の集積回路。

18. 前記プログラム可能なレジスト性材料層を通過する総電流が2ミリアンペアである、請求項10記載の集積回路。

19. 第1部分および第2部分を有し、この第2部分から第1部分への方向に連続的に幅が狭くなっている第1電極と、

前記第1電極に接触するように設けられたプログラム可能なレジスト性材料の層と、

プログラム可能なレジスト性材料の前記層に結合された第2電極とを含む集積回路。

20. 前記プログラム可能なレジスト性材料がカルコゲナイドを含む、請求項19記載の集積回路。

21. 前記プログラム可能なレジスト性材料および前記第2電極を囲む絶縁材料の層を更に含む、請求項19記載の集積回路。

22. プログラム可能なレジスト性材料の前記層が切頭円錐形状である、請求項19記載の集積回路。

23. 複数のメモリセルを含み、前記各メモリセルが、第1部分および第2部分を有し、この第2部分から第1部分への方向に連続的に幅が狭くなっている第1電極と、

前記第1電極に接触するように設けられたプログラム可能なレジスト性材料の層と、

プログラム可能なレジスト性材料の前記層に結合された第2電極とを含む集積回路メモリ。

24. 前記プログラム可能なレジスト性材料がカルコゲナイドを含む、請求項23記載の集積回路メモリ。

25. 各メモリセルが、前記プログラム可能なレジスト性材料および前記第2電極を囲む絶縁材料の層を更に含む、請求項23記載の集積回路メモリ。

26. 前記第1の電極が切頭円錐形形状である、請求項23記載の集積回路メモリ。

27. 半導体基板に導電層を塗布する工程と、
前記導電層に離間したパターンを有する酸化物層を塗布する工程と、
各酸化物層パターンの下方にて、前記導電層内に先端部分が形成されるよう、
前記導電層をエッチングする工程と、
前記導電層の先端部分をカバーするように前記導電層上に絶縁層を堆積する工程と、

前記導電層の先端部分の頂部部分を露出するように前記絶縁層の一部を選択的に除去する工程とを備えた、集積回路内に導電路を製造する方法。

28. 導電路の各先端部分の高さとほぼ同じ厚みに前記絶縁層を堆積する、請求項27記載の方法。

29. 前記除去する工程が、先端部分の頂部部分を露出するように、化学的機械的な研磨を行うことを含む、請求項28記載の方法。

30. 基板に第1導電層を塗布する工程と、
前記第1導電層に、複数の離間したパターンを含む酸化物層を塗布する工程と、
酸化物層パターンの各々の下方に先端部分が形成されるように、前記第1導電層をエッチングする工程と、

前記酸化物層を除去する工程と、
前記先端部分を含む前記第1導電層に絶縁層を堆積する工程と、
先端部分の頂部表面を露出するように、前記絶縁層の一部を除去する工程と、
各先端部分の頂部表面にカルコゲナイド材料の層を塗布する工程と、

カルコゲナイド材料の各層に第2導電材料を塗布する工程とを含む、カルコゲナイドメモリセルを製造する方法。

31. Se、Te、Ge、Sb並びにこれらSe、Te、GeおよびSbのうちの少なくとも2つの組成物から成る群から前記カルコゲナイド材料を選択し

た、請求項30記載のカルコゲナイドメモリセルを製造する方法。

32. 前記カルコゲナイド材料が $\text{Te}_a\text{Ge}_b\text{Sb}_{100-(a+b)}$ の比（ここで a 、 b および c は成分元素の総計が100%となり、 $a \leq 70$ 、 $15 \leq b \leq 50$ となる原子%である）で Te 、 Ge および Sb を含む、請求項31記載のカルコゲナイドメモリセルを製造する方法。

33. $40 \leq a \leq 60$ であり、 $17 \leq b \leq 44$ である、請求項32記載のカルコゲナイドメモリセルを製造する方法。

【発明の詳細な説明】

電極間に小面積のコンタクトを製造するための方法

発明の背景A. 発明の分野

本発明は、一般的には半導体製造技術に関し、より詳細には、相変化可能なメモリ、例えばカルコゲナイドメモリセルで使用するための、上下の電極の間に狭い面積のコンタクトを製造するための方法に関する。

B. 従来技術の説明

電子メモリアプリケーションのために、電子的に書き換え可能な、かつ消去可能な相変化する材料、例えばほぼアモルファス（非晶質）状態とほぼ結晶質状態との間、または結晶質状態に維持されながら異なる抵抗状態の間で電氣的にスイッチングできる材料を使用することは、当技術分野で周知となっている。相変化する材料を使用することは、例えば、オブシンスキー(Ovshinsky)外の名義の米国特許第5,296,716号に開示されており、この米国特許の開示内容を本明細書で従来例として引用する。この米国特許第5,296,716号は、ほぼ現在の技術状態を示すものであり、カルコゲナイド材料の動作の現在の理論を説明しているものと考えられる。

一般的に、前記オブシンスキー特許に開示されているように、かかる相変化する材料は、材料がほぼアモルファス状態となっている第1構造状態と材料がほぼ結晶質の局部的秩序を有する第2の構造状態との間で電氣的にスイッチングできる。この材料は完全なアモルファス状態と完全な結晶質状態との間の全晶質状態にわたり、局部的秩序の異なる検出可能な状態の間に電子的にスイッチングすることもできる。すなわちかかる材料のスイッチングは、完全なアモルファス状態

と完全な結晶質状態との間で行う必要はなく、むしろこの材料は完全なアモルファス状態から完全な結晶質状態までの全晶質状態に広がる局部的秩序の多数の状態によって表示される「グレースケール(gray scale)」を与えるよう、局部的秩序の変化を示す増分的なステップでスイッチングすることができる。

カルコゲナイド材料はその状態に応じて異なる電氣的特性を示す。例えばこの

材料がアモルファス状態にあると、結晶質状態よりも低い電気伝導度を示す。カルコゲナイドメモリセルを作動するにはカルコゲナイド活性領域と称されるカルコゲナイドメモリ材料のある領域に、一般に $10^5 \sim 10^7 \text{ A/cm}^2$ の間の電流密度の電流パルスを加え、微細孔内に含まれる活性領域内のカルコゲナイド材料の結晶質状態を変化させる必要がある。このような電流密度は、まず下方電極材料上に堆積された誘電材料内に小さい開口部を設けることによって得ることができる。次に、誘電層上の開口部内に一般に窒化シリコンから成る第2の誘電層を堆積する。この第2の誘電層は一般に約40オングストロームの厚さとなっている。次に、第2の誘電層上、かつ開口部内にカルコゲナイド材料を堆積し、次にこのカルコゲナイド材料上に上部電極材料を堆積する。電極材料として一般に炭素が使用されるが、これまで他の材料、例えば窒化モリブデンおよび窒化チタンも使用されている。次に、周知の焼成方法により第2の誘電層内に小孔を形成することにより、カルコゲナイド材料から下方の電極材料まで導電路を設ける。

焼成を行うには、カルコゲナイド材料を通過し、第2の誘電層の誘電降伏を生じさせる初期の大電流パルスを構造体に流し、よってメモリセルを通過するように設けられた小孔を通る導電路を設ける。焼成には大電流が必要であり、かつ長い検査時間が必要であるので、高密度メモリ製品に対しては窒化物の薄膜を電氣的に焼成することは望ましくない。

小孔内のカルコゲナイドメモリセルの活性領域は広い範囲の大きさおよびパルス幅の印加電圧パルスに応答して、結晶質構造を変えるものと考えられている。

これらの結晶質構造の変化はカルコゲナイド活性領域のバルク抵抗を変える。これら装置のダイナミックレンジが広いこと、そのレスポンスが線形であることおよびヒステリシスがないことにより、これらのメモリセルに多数のビット記憶機能を与えられている。

ファクター、例えば孔の寸法（例えば直径、厚みおよび容積）、カルコゲナイドの組成、信号パルスの長さおよび信号パルスの波形は、抵抗のダイナミックレンジの大きさ、ダイナミックレンジの絶対的上下限点の抵抗およびこれら抵抗にメモリセルを設定するのに必要な電流に影響している。例えば比較的大きい孔径

、例えば約1ミクロンであると、プログラム電流条件はより高くなるが、他方、孔径が比較的小さいと、例えば、約500オングストロームである結果として、プログラム電流条件は低くなる。必要なプログラム電流を低減する際に最も重要なファクターは、孔の断面積である。

メモリセルのカルコゲナイド活性領域の結晶質状態を調整するのに必要なエネルギー入力は、孔の径方向の最小寸法の大きさに直接比例する。すなわち孔のサイズがより小さくなると、エネルギー入力条件も小さくなる。従来のカルコゲナイドメモリセルの製造技術はフォトリソグラフィのサイズ限界によって制限される径方向の最小孔寸法、直径すなわち孔の幅を定めている。この結果、孔のサイズは約0.35ミクロンまでの径方向の最小寸法となっている。しかしながら、メモリセルへの書き込みを行う電流密度を改善するためには、孔の寸法を更に小さくすることが望ましい。

発明の概要

本発明は、上記問題の一つ以上の作用を解消または少なくとも低減するものである。特に本発明は、接触面積がフォトリソグラフィ技術の限界よりも小さい最小寸法となり、よって作動中のカルコゲナイド活性領域への必要なエネルギー入力を低減するように、カルコゲナイドメモリセルの電極の間に狭い接触面積を形

成する方法を提供するものである。これらの電極はカルコゲナイドメモリセルを通る電流の制御を改善できるような材料特性を提供するように更に選択される。この結果、メモリセルはメモリアレイをより密にするように、より小さくすることができ、メモリセルに対する全電力条件が最小にされる。

次の説明の一部で本発明の別の利点を記載し、一部はこの説明から明らかとなるし、また本発明を実施することによって認識できよう。

本明細書に広義に記載し、具現化される本発明の目的によれば、本発明は、基板上に第1導電層を設ける工程と、前記第1導電層の盛り上げられた部分を形成するように前記第1導電層をパターン化する工程と、前記盛り上げられた部分を含む前記第1導電層上に絶縁層を設ける工程と、前記第1導電層の前記盛り上げられた部分の一部を露出するように前記絶縁層の一部を選択的に除去する工程と

を備えた半導体装置を製造する方法を提供するものである。

別の観点によれば、本発明は、第1表面を有する基板と、前記第1表面に設けられた、盛り上げられた部分を有する第1導電層と、前記第1導電層に重なり、前記盛り上げられた部分の一部を露出する絶縁層と、前記第1導電層の前記盛り上げられた部分の前記露出した部分に接触するように設けられた、プログラム可能なレジスト性材料の層とを含み、前記盛り上げられた部分の前記露出した部分が前記第1導電層の前記盛り上げられた部分の他の部分よりも狭くなっている集積回路を提供するものである。

更に別の観点によれば、本発明は、第1部分および第2部分を有し、この第2部分から第1部分への方に連続的に幅が狭くなっている第1電極と、前記第1電極に接触するように設けられたプログラム可能なレジスト性材料の層と、プログラム可能なレジスト性材料の前記層に結合された第2電極とを含む集積回路を提供するものである。

上記の一般的な説明と下記の詳細な説明の両方は、典型的かつ説明的なものであって、請求の範囲にあるような、それぞれの発明を説明したものではないことを理解すべきである。

図面の簡単な説明

本明細書の一部に組み込まれ、この一部を構成する添付図面は、本発明の説明と共に本発明の一実施形態を示し、本発明の原理を説明している。図中、

図1は、本発明の好ましい実施形態に係わる窒化チタンの基板にポリシリコンの層を堆積することを示す部分断面図である。

図2は、ポリシリコンの層に酸化シリコンの層およびレジスト材料の層を堆積することを示す部分断面図である。

図3は、エッチング、マスキングおよびフォトリソリスト剥離技術を用いてレジスト材料の層および酸化シリコン層においてエッチングされるコンタクトパターンの部分断面図である。

図4(a)は、レジスト材料および酸化シリコン層から形成された、ほぼ長方形のコンタクトパターンの上面図である。

図4 (b) は、レジスト材料および酸化シリコン層から形成された、ほぼ円形のコンタクトパターンの上面図である。

図5 は、剥離エッチング技術を用いてレジスト材料層を剥離した後の装置の部分断面図である。

図6 は、ポリシリコン材料の層内に切頭円錐形の先端を形成するのに、従来のアンダーカット等方性エッチング技術を用いてエッチングされる酸化シリコン層パターンでカバーされていない、ポリシリコン材料の層の一部の部分断面図である。

図7 は、従来の湿式エッチング技術を用いてコンタクトパターンを除去した後の装置の部分断面図である。

図8 は、先端を含む、ポリシリコン材料の層を分離するのに、従来の薄膜堆積方法を用いて、先端を含むポリシリコン材料の層に絶縁材料の層を堆積する工程の部分断面図である。

図9 は、従来の化学的、機械的平坦化 (C N T) 方法を用いて、絶縁材料の層の平坦化を行う工程の部分断面図である。

図10 は、従来の薄膜堆積方法を用いて堆積するカルコゲナイド材料層の部分断面図である。

図11 は、従来の薄膜堆積技術を用いてカルコゲナイド層の上に堆積された導電性材料の層の部分断面図である。

図12 は、従来のマスキングおよびエッチング技術を用いてエッチバックされた後のカルコゲナイド材料の層および導電性材料の第2層の部分断面図である。

図13 は、従来の薄膜堆積技術を用いて塗布された絶縁材料の第2層の部分断面図である。

図14 は、エッチバックされた後の絶縁材料の第2層の部分断面図である。

図15 は、上部導電性グリッド層を含む完全なカルコゲナイドメモリセルの部分断面図である。

好ましい実施形態の説明

カルコゲナイド材料を介し、下方電極と上方電極との間のコンタクトの面積を

従来のフォトリソグラフィ技術を用いて現在得られる面積よりも狭くする、カルコゲナイドメモリの電極の間に小面積のコンタクトを製造する方法が提供される。特に本発明の好ましい実施形態は、下方電極上に先端を形成することにより、下方電極と上方電極との間に最小面積のコンタクトが形成されるカルコゲナイドメモリのための電極を製造する方法を提供するものである。このように、 $0.00785\mu\text{m}^2$ もの狭い最小面積のコンタクトを有する下方電極が得られる。従って、現在好ましい実施形態は、こうして得られたカルコゲナイドメモリを通過する電流の制御を改善するので、作動中にカルコゲナイド活性領域に必要な総電流

およびエネルギー入力を低減する。カルコゲナイド活性領域を通過する総電流は2ミリアンペア(mA)である。従って、好ましい実施形態が必要とする電流密度は $1 \times 10^6 \text{ A/cm}^2 \sim 1 \times 10^7 \text{ A/cm}^2$ である。更に、好ましい実施形態によりメモリセルをより小さく製造できるので、より密なメモリアレイを製造することができ、メモリセルに対する全体の電力条件を最小にできる。

次に、添付図面に一例が示されている本発明の好ましい実施形態について詳細に説明する。種々の図にわたって可能であれば、同じまたは同様な部品を示すために同一の参照番号を使用することとする。

図面、特に図1～15を参照し、カルコゲナイドメモリのための上方電極と下方電極との間に小面積のコンタクトを製造する方法の好ましい実施形態について説明する。図1に示されるように、従来の薄膜堆積方法、例えば化学的気相成長法(CVD)を用いて基板20に導電性材料、好ましくはポリシリコンの層22を堆積する。この導電性材料の層22は5000～7000オングストロームの範囲のほぼ均一な厚みを有することができ、好ましくは約6500オングストロームのほぼ均一な厚みを有する。基板20の導電性材料、例えばシリコン、TiN、炭素、W₂Si₃,またはタングステンから構成でき、好ましくはシリコンから構成される。基板20は更にカルコゲナイドメモリのアレイにアクセスするのに使用される下方電極グリッド(図示せず)を含むことが好ましい。

次に、好ましくはCVDにより基板22に酸化シリコンの層23を堆積する。

この層は500オングストロームの厚みを有することが好ましい。図2に示されるように、酸化シリコン層23上にレジスト材料の層24を塗布する。このレジスト材料の層24は約15000オングストロームのほぼ均一な厚みを有することが好ましい。

次に、図3に示されるように、従来のマスキング、露光、エッチングおよびフォトリソグラフィ技術を用いてレジスト層24および酸化シリコン層23内でコ

ンタクトパターン26をエッチングする。このコンタクトパターン26は図4(a)に示されるようにほぼ長方形のブロックまたは図4(b)に示されるようにほぼ円形のブロックとしてレジスト層24および酸化シリコン層23から形成できる。このコンタクトパターン26は従来のコンタクト孔マスクを使用して形成し、図4(b)に示されるような、ほぼ円形のブロックとすることが好ましい。コンタクトパターン26の横方向の最小寸法は約0.4 μ mとなることが好ましい。コンタクトパターン26はポリシリコン層22に共通するほぼ水平の底部表面28と外周部のほぼ垂直な側壁27を含む。

次に、図5に示されるように、酸化シリコン層23内にコンタクトパターン26をパターン形成した後に、従来の剥離技術を用いてレジスト層24を除去する。従って、酸化シリコン層23はコンタクトパターン26のままである。その後、ポリシリコン層22をエッチングする際に酸化シリコン層23のコンタクトパターンをマスキング層として使用する。

酸化シリコン層のパターン23によってカバーされていないポリシリコン層22部分をエッチングし、湿式エッチングまたは乾式プラズマエッチング技術を用いて酸化シリコンパターン23の下方部分をアンダーカットし、図6に示されるようにポリシリコン層22内に切頭円錐形の先端30を形成する。この結果得られる先端30は、好ましくは約0.1 μ mの最小の横方向の切頭部の寸法を有する切頭円錐形となる。先端30のベース部分はコンタクトパターン26の横方向の寸法と同じ寸法である、約0.4 μ mの最小の横方向のベース寸法を有することが好ましい。この先端30の高さは約2000オングストロームとなることが好ましい。図7に示されるように、従来の湿式エッチング技術を用いて酸化シリ

コン層のパターン23の除去を行う。こうしてコンタクトパターン26は $0.00785 \mu\text{m}^2 [\pi \times (0.1/2)^2]$ の層22の切頭円錐形の先端30のベースの接触面積を定めるための手段となる。

従来の薄膜堆積方法、例えばCVDを用いて先端30を含むポリシリコン層22に絶縁材料の層32を堆積し、図8に示されるように先端30を含むポリシリコン層22を分離する。絶縁材料の層32は約2000～5000オングストロームのほぼ均一な厚みを有することができ、好ましくは約2000オングストローム、すなわち先端30の高さと同じ厚みのほぼ均一な厚みを有する。絶縁材料の層32は酸化シリコンまたは窒化シリコンから構成でき、好ましくは酸化シリコンから構成される。

次に、図9に示されるように、従来の化学的機械的平坦化(CMP)方法を使用して絶縁材料の層32を平坦化することが好ましい。次に、CMP方法を実行してポリシリコン層22上に形成された先端30の頂部表面24を露出する。ポリシリコン層22は下方電極と称することもできる。

次に、従来の半導体処理技術、例えば薄膜堆積、マスキングおよびエッチング方法を用いてポリシリコン層22の先端30を組み込み、カルコゲナイドメモリセルを形成する。図15に示されるように、このカルコゲナイドメモリ層はカルコゲナイド材料の層34と、上方電極として働く導電材料の層36と、層間誘電(ILD)層38と、上方導電層40とを含むことが好ましい。

図10に示されるように、従来の薄膜堆積方法を用いてカルコゲナイド材料層34を堆積できる。このカルコゲナイド材料層34は約500オングストロームの厚みを有することが好ましい。これらメモリセルのための代表的なカルコゲナイド組成物は70%よりも低く、代表的には約60%より低く、一般的には約23%～56%の程度に低い範囲のTe、最も好ましくは約48%～56%の平均濃度のアモルファス状態のTeを含む。Geの濃度は、一般には約15%よりも大であって、平均約17%～44%の低い濃度であり、一般に50%よりも低いGeのままであり、このクラスにおける他の基本成分元素はSbである。ここに示したパーセントは原子パーセントであり、成分元素の原子は総計100%であ

る。特に好ましい実施形態では、これらメモリセルのためのカルコゲナイド組成物は約56%のTe濃度と、約22%のGe濃度と、約22%のSb濃度から成る。これらの材料は一般に $T e_a G e_b S b_{100-(a+b)}$ を特徴とし、ここでaは約70%以下であり、約40%～約60%の間にあることが好ましく、bは約15%よりも大であって、50%未満であり、約17%～44%の間にあることが好ましく、残りはSbである。

炭素層35は600オングストロームの厚みであることが好ましく、図11に示されるように従来の薄膜堆積技術を用いてカルコゲナイド層34上に設けられる。更に図11に示されるように、従来の堆積技術を用いてカーボン層35上に導電材料の層36を堆積する。よって、導電材料の層36はカルコゲナイドメモリセルに対する上方電極となる。導電材料の層36は好ましくは窒化チタン(TiN)であるが、TiNまたはカーボンからも構成でき、約500オングストロームの厚みを有する。その後、図12に示されるように、従来のマスキングおよびエッチング技術を用いて層34～36をエッチバックする。

次に、図13に示されるように、従来の薄膜堆積技術を用いてILD層38を塗布する。このILD層38は約3500オングストロームの厚みであり、酸化シリコンから成ることが好ましい。次に、図14に示されるように、従来のマスキングおよびエッチング方法を用いてILD層38をエッチバックし、上方導電グリッド40による導電材料の層36、すなわち上方電極への接続部を設ける。まず最初に、従来の薄膜堆積方法を用いて導電性材料の開孔を行い、次に図15に示されるように、ILD層38の表面上に延びる上方導電性グリッド相互接続部を形成するように、導電材料をエッチングすることにより、上方導電性グリッド相互接続部40を設けることができる。この上方導電性グリッド40の材料は、材料、例えばTi、TiNまたはアルミニウムから構成でき、アルミニウムから構成することが好ましい。

特に好ましい実施形態では、上記方法を利用して上方および下方導線、すなわち電極のX-Yグリッドによってアクセス可能なカルコゲナイドメモリセルのアレイを形成する。特に好ましい実施形態では、当業者であれば理解できるように

、個々のカルコゲナイドメモリセルとの読み出し、書き込み動作ができるように、カルコゲナイドメモリセルと直列に、更にダイオードを設ける。本発明は複数のカルコゲナイドメモリセルを形成できるように、下方電極、例えばポリシリコン層22上に複数の先端30を製造することを含む。図面は本発明の説明を容易にするために、1つの先端30しか示していない。更に、各層に対して種々の材料を利用できるが、当業者であれば理解できるように、種々のエッチング方法中に適当な選択性が得られるように、各層に対して選択される特定の材料を選択すべきある。

本明細書およびここに開示された本発明の実施について検討すれば、当業者には本発明の他の実施形態が明らかとなろう。本明細書および実施形態は次の請求の範囲に示した本発明の範囲および要旨の範囲内で単なる例を示すものである。

【 図 1 】

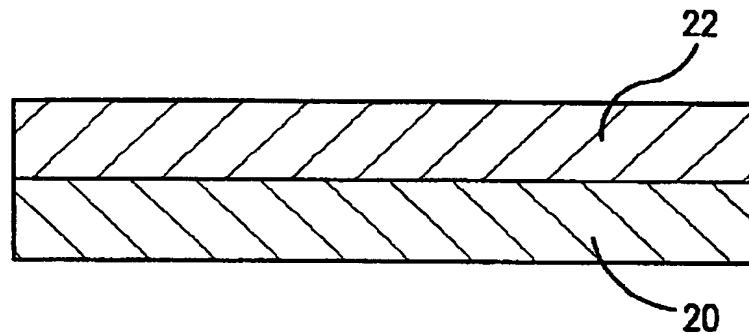


FIG.1

【 図 2 】

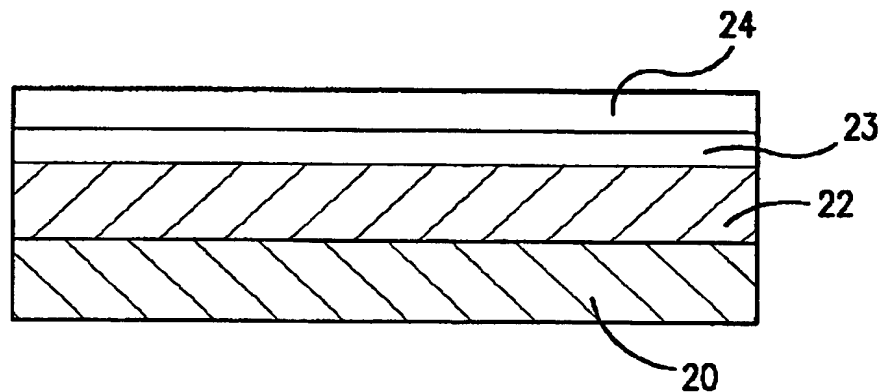


FIG.2

【 図 3 】

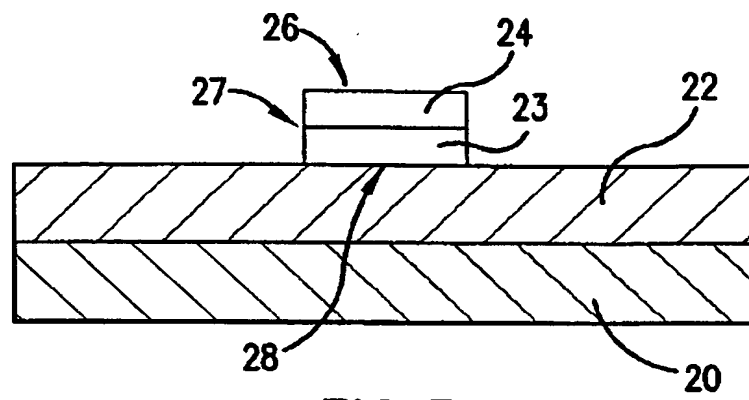


FIG.3

【 図 4 】

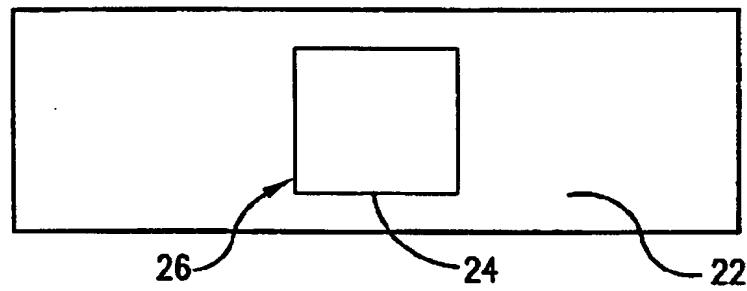


FIG.4(a)

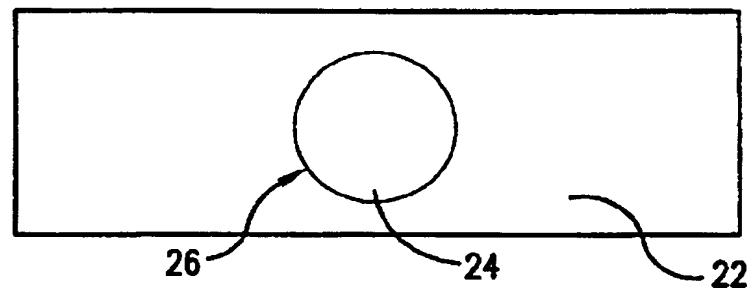


FIG.4(b)

【 図 5 】

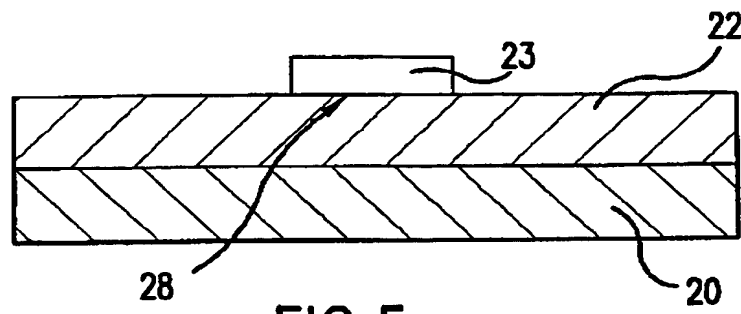


FIG.5

【 図 6 】

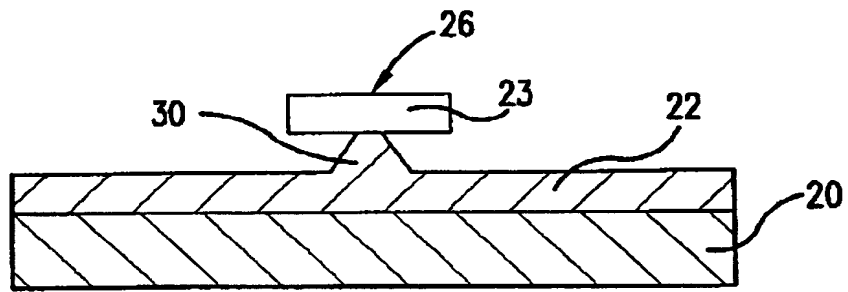


FIG.6

【 図 7 】

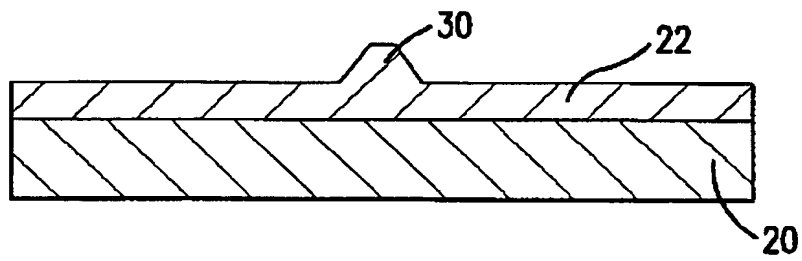


FIG.7

【 図 8 】

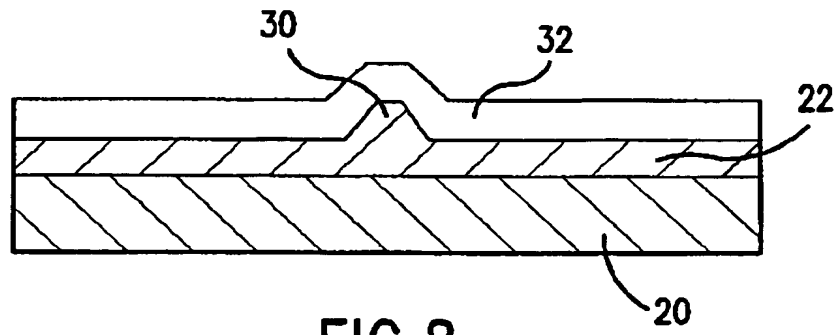


FIG.8

【 図 9 】

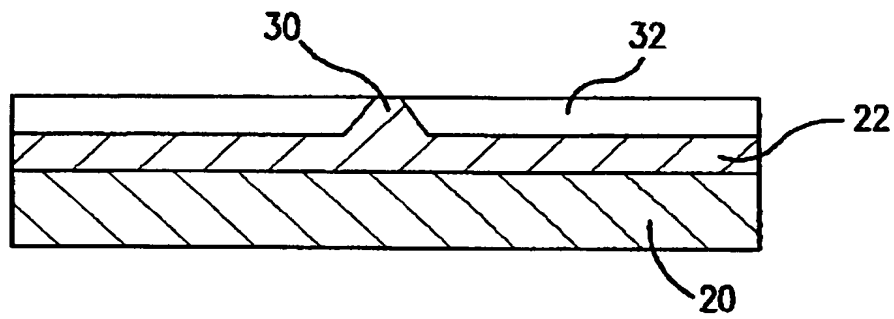


FIG.9

【 図 10 】

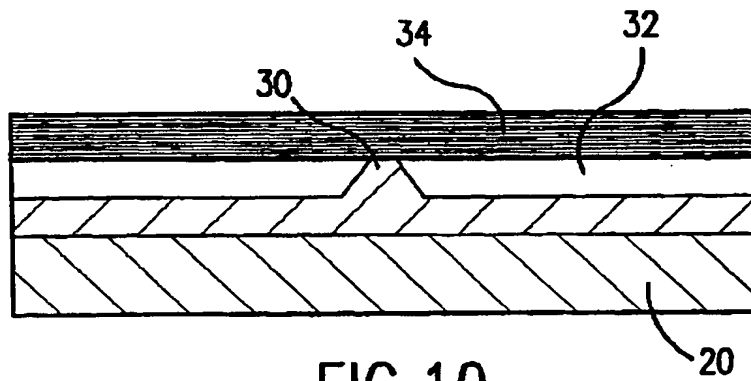


FIG.10

【 図 1 1 】

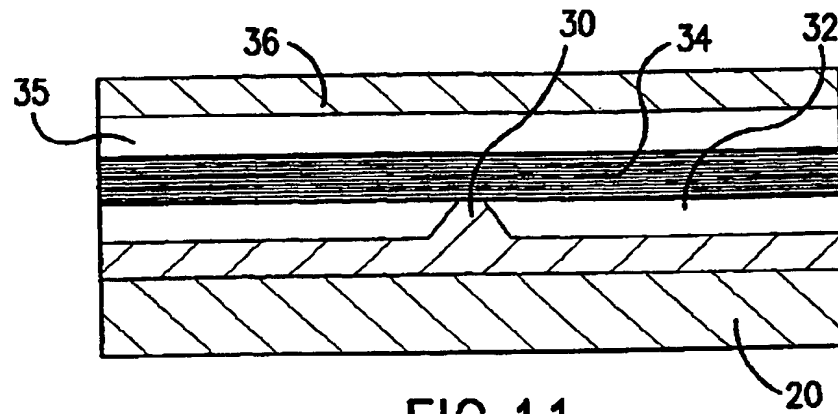


FIG.11

【 図 1 2 】

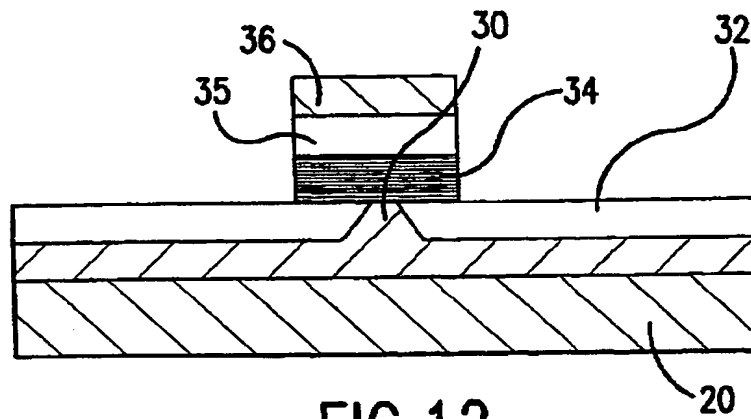


FIG.12

【 図 1 3 】

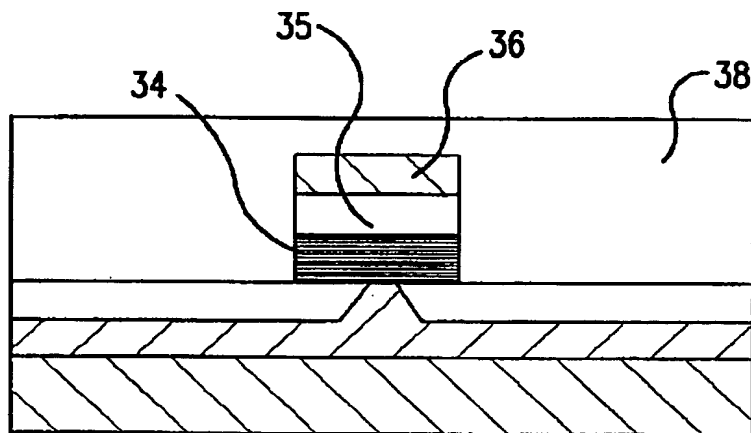


FIG.13

【 図 1 4 】

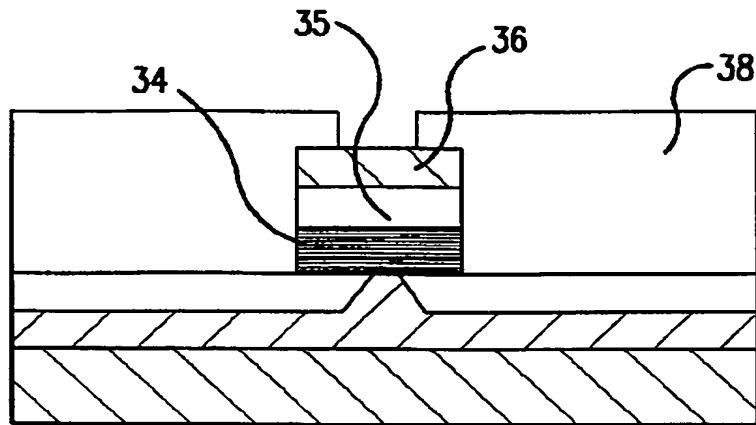


FIG.14

【 図 1 5 】

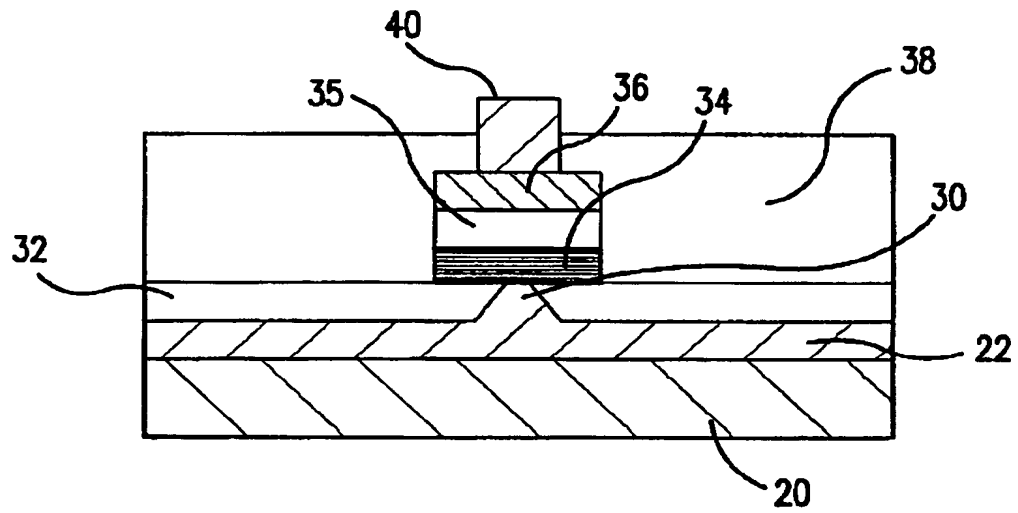


FIG.15

【手続補正書】特許法第184条の8第1項

【提出日】平成11年1月6日（1999. 1. 6）

【補正内容】

請求の範囲

1. 基板上に第1導電層を設ける工程と、
前記第1導電層の盛り上げられた部分を形成するように前記第1導電層をパターン化する工程と、
前記盛り上げられた部分を含む前記第1導電層上に絶縁層を設ける工程と、
前記第1導電層の前記盛り上げられた部分の一部を露出するように前記絶縁層の一部を選択的に除去する工程と、
前記導電層の前記盛り上げられた部分の前記露出した部分上にプログラム可能なレジスト性材料を堆積する工程とを備えた、電気的コンタクトを製造する方法。
。
2. 前記プログラム可能なレジスト性材料に接触する第2導電層を堆積する工程を更に含む、請求項1記載の方法。
3. 前記プログラム可能なレジスト性材料が、カルコゲナイド材料を含む、請求項2記載の方法。
4. 第1導電層をパターン化する工程の前に、
前記第1導電層上に酸化物の層を形成する工程と、
離間した酸化物パターンを形成するように前記酸化物層をパターン化する工程とを更に含む、請求項3記載の方法。
5. 前記第1導電層をパターン化する工程が、各酸化物パターンよりも下方で前記第1導電層内に盛り上げられた部分が形成されるように、前記第1導電層をエッチングすることを含む、請求項4記載の方法。
6. 絶縁層を設ける工程が、前記盛り上げられた部分と同じ厚みに前記絶縁層を堆積することを含み、本方法が更に、
前記盛り上げられた部分の頂部部分を露出するように前記絶縁層部分を選択的に除去する工程を含む、請求項5記載の方法。

7. 各盛り上げられた部分にカルコゲナイド材料のパターンを形成する工程と、カルコゲナイド材料の各パターンに第2導電層を形成する工程とを更に含む、請求項6記載の方法。

8. Se、Te、Ge、Sb並びにこれらSe、Te、GeおよびSbのうちの少なくとも2つの組成物から成る群から前記カルコゲナイド材料を選択した、請求項7記載の方法。

9. 前記カルコゲナイド材料がTe、Ge、Sbの比（ここでa、bおよびcは成分元素の総計が100%となり、 $a \leq 70$ 、 $15 \leq b \leq 50$ 、 $c = 100 - (a + b)$ となる原子%である）でTe、GeおよびSbを含む、請求項8記載の方法。

10. 第1表面を有する基板と、
前記第1表面に設けられた、盛り上げられた部分を有する第1導電層と、
前記第1導電層に重なり、前記盛り上げられた部分の一部を露出する絶縁層と、
前記第1導電層の前記盛り上げられた部分の前記露出した部分に接触するように設けられた、プログラム可能なレジスト性材料の層とを含み、前記盛り上げられた部分の前記露出した部分が前記第1導電層の前記盛り上げられた部分の他の部分よりも狭くなっている集積回路。

11. 前記第1導電層の前記盛り上げられた部分の高さが前記絶縁層の厚みにほぼ等しい、請求項10記載の集積回路。

12. 前記プログラム可能なレジスト性材料がカルコゲナイドを含む、請求項10記載の集積回路。

13. プログラム可能なレジスト性材料の前記層に結合された第2導電層を更に含む、請求項10記載の集積回路。

14. 前記第1導電層の前記盛り上げられた部分がほぼ切頭円錐形となっている、請求項10記載の集積回路。

15. Se、Te、Ge、Sb並びにこれらSe、Te、GeおよびSbのうちの少なくとも2つの組成物から成る群から前記カルコゲナイド材料を選択した、請求項12記載の集積回路。

16. 前記カルコゲナイド材料が $T e_c G e_b S b_c$ の比（ここで a 、 b および c は成分元素の総計が 100% となり、 $a \leq 70$ 、 $15 \leq b \leq 50$ 、 $c = 100 - (a + b)$ となる原子%である）で $T e$ 、 $G e$ および $S b$ を含む、請求項 12 記載の集積回路。

17. $40 \leq a \leq 60$ であり、 $17 \leq b \leq 44$ である、請求項 16 記載の集積回路。

18. 前記プログラム可能なレジスト性材料層を通過する総電流が 2 ミリアンペアである、請求項 10 記載の集積回路。

19. 第 1 部分および第 2 部分を有し、この第 2 部分から第 1 部分への方向に連続的に幅が狭くなっている第 1 電極と、

前記第 1 電極に接触するように設けられたプログラム可能なレジスト性材料の層と、

プログラム可能なレジスト性材料の前記層に結合された第 2 電極とを含む集積回路。

20. 前記プログラム可能なレジスト性材料がカルコゲナイドを含む、請求項 19 記載の集積回路。

21. 前記プログラム可能なレジスト性材料および前記第 2 電極を囲む絶縁材料の層を更に含む、請求項 19 記載の集積回路。

22. プログラム可能なレジスト性材料の前記層が切頭円錐形状である、請求項 19 記載の集積回路。

23. 複数のメモリセルを含み、前記各メモリセルが、
第 1 部分および第 2 部分を有し、この第 2 部分から第 1 部分への方向に連続的に幅が狭くなっている第 1 電極と、

前記第 1 電極に接触するように設けられたプログラム可能なレジスト性材料の層と、

プログラム可能なレジスト性材料の前記層に結合された第 2 電極と、
を含む集積回路メモリ。

24. 前記プログラム可能なレジスト性材料がカルコゲナイドを含む、請求

項23記載の集積回路メモリ。

25. 各メモリセルが、前記プログラム可能なレジスト性材料および前記第2電極を囲む絶縁材料の層を更に含む、請求項23記載の集積回路メモリ。

26. 前記第1の電極が切頭円錐形形状である、請求項23記載の集積回路メモリ。

27. 半導体基板に導電層を塗布する工程と、
前記導電層に離間したパターンを有する酸化物層を塗布する工程と、
各酸化物層パターンの下方にて、前記導電層内に先端部分が形成されるよう、
前記導電層をエッチングする工程と、

前記導電層の先端部分をカバーするように前記導電層上に絶縁層を堆積する工程と、

前記導電層の先端部分の頂部部分を露出するように前記絶縁層の一部を選択的に除去する工程とを備えた、集積回路内に導電路を製造する方法。

28. 導電路の各先端部分の高さとほぼ同じ厚みに前記絶縁層を堆積する、
請求項27記載の方法。

29. 前記除去する工程が、先端部分の頂部部分を露出するように、化学的機械的な研磨を行うことを含む、請求項28記載の方法。

30. 基板に第1導電層を塗布する工程と、
前記第1導電層に、複数の離間したパターンを含む酸化物層を塗布する工程と、
、

酸化物層パターンの各々の下方に先端部分が形成されるように、前記第1導電層をエッチングする工程と、

前記酸化物層を除去する工程と、

前記先端部分を含む前記第1導電層に絶縁層を堆積する工程と、

先端部分の頂部表面を露出するように、前記絶縁層の一部を除去する工程と、

各先端部分の頂部表面にカルコゲナイド材料の層を塗布する工程と、

カルコゲナイド材料の各層に第2導電材料を塗布する工程とを含む、カルコゲナイドメモリセルを製造する方法。

31. Se、Te、Ge、Sb並びにこれらSe、Te、GeおよびSbのうちの少なくとも2つの組成物から成る群から前記カルコゲナイド材料を選択した、請求項30記載のカルコゲナイドメモリセルを製造する方法。

32. 前記カルコゲナイド材料がTe、Ge、Sbの比（ここでa、bおよびcは成分元素の総計が100%となり、 $a \leq 70$ 、 $15 \leq b \leq 50$ 、 $c = 100 - (a + b)$ となる原子%である）でTe、GeおよびSbを含む、請求項31記載のカルコゲナイドメモリセルを製造する方法。

33. $40 \leq a \leq 60$ であり、 $17 \leq b \leq 44$ である、請求項32記載のカルコゲナイドメモリセルを製造する方法。

【 国 際 調 査 報 告 】

INTERNATIONAL SEARCH REPORT		International Application No. PCT/US 97/17711
A. CLASSIFICATION OF SUBJECT MATTER IPC 6 H01L27/24		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) IPC 6 H01L		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practical, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	EP 0 005 265 A (SIEMENS AG) 14 November 1979 see abstract; figure 3	1
X,P	WO 96 41380 A (MICRON TECHNOLOGY INC) 19 December 1996 see page 11, line 17 - page 13; figure 9	1-3
<input type="checkbox"/> Further documents are listed in the continuation of box C. <input checked="" type="checkbox"/> Patent family members are listed in annex.		
* Special categories of cited documents : "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier document but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "A" document member of the same patent family		
Date of the actual completion of the international search 27 August 1998		Date of mailing of the international search report 03/09/1998
Name and mailing address of the ISA European Patent Office, P.B. 5818 Patentlaan 2 NL - 2250 JH Rijswijk Tel. (+31-70) 340-2040, Tx. 31 851 epo nl, Fax (+31-70) 340-3016		Authorized officer Pelsers, L

INTERNATIONAL SEARCH REPORT

 International Application No
 PCT/US 97/17711

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
EP 0005265 A	14-11-1979	DE 2820403 A	15-11-1979
		AR 215395 A	28-09-1979
		AT 1346 T	15-07-1982
		AU 531087 B	11-08-1983
		AU 4686379 A	15-11-1979
		BR 7902846 A	27-11-1979
		DE 2858153 C	18-10-1984
		EP 0069824 A	19-01-1983
		GB 2020921 A, B	21-11-1979
		JP 54147826 A	19-11-1979
		US 4576670 A	18-03-1986
WO 9641380 A	19-12-1996	AU 5987296 A	30-12-1996

フロントページの続き

(81)指定国 EP(AT, BE, CH, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE), OA(BF, BJ, CF, CG, CI, CM, GA, GN, ML, MR, NE, SN, TD, TG), AP(GH, KE, LS, MW, SD, SZ, UG, ZW), EA(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), AL, AM, AT, AU, AZ, BA, BB, BG, BR, BY, CA, CH, CN, CU, CZ, DE, DK, EE, ES, FI, GB, GE, GH, HU, ID, IL, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MD, MG, MK, MN, MW, MX, NO, NZ, PL, PT, RO, RU, SD, SE, SG, SI, SK, SL, TJ, TM, TR, TT, UA, UG, UZ, VN, YU, ZW